

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-293310

(43) 公開日 平成4年(1992)10月16日

(51) Int.Cl.<sup>5</sup>

H 0 3 H 9/25

識別記号

庁内整理番号

F I

技術表示箇所

A 7259-5 J

Z 7259-5 J

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-57490

(22) 出願日 平成3年(1991)3月22日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 池田 利昭

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 佐藤 友春

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 小谷 義章

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 弁理士 深見 久郎 (外2名)

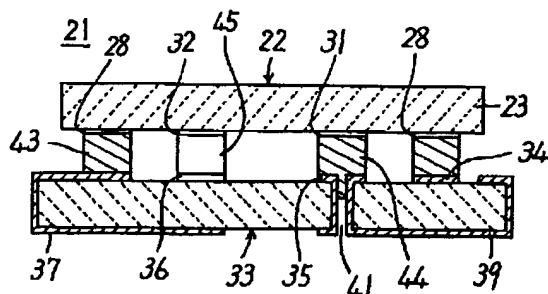
最終頁に続く

(54) 【発明の名称】 弾性表面波装置

(57) 【要約】

【目的】 表面実装可能な弾性表面波装置において、パッケージング構造を簡略化する。

【構成】 弾性表面波素子チップ22自身をパッケージング部材の一部として用い、これと対向させてベース板33を配置し、弾性表面波素子チップ22とベース板33との間に、半田封止棒43を形成して、気密封止および空間の形成を実現するとともに、半田封止棒43および半田パンプ44、45により、電氣的接続も図る。



1

2

## 【特許請求の範囲】

【請求項1】 基板、前記基板上に形成されるインタディジタルトランスデューサ、前記インタディジタルトランスデューサのアース側ラインに接続されかつ前記インタディジタルトランスデューサを取囲むように前記基板上に形成されるアース側パターン、および前記インタディジタルトランスデューサのホット側ラインに接続されるホット側パターンを備える、弾性表面波素子チップと、前記弾性表面波素子チップの前記インタディジタルトランスデューサが形成された前記基板の面に対向して配置されるものであって、前記アース側パターンに対応する位置に形成されるアース側ランド、前記ホット側パターンに対応する位置に形成されるホット側ランド、前記アース側ランドに電気的に接続されるアース側外部電極、および前記ホット側ランドに電気的に接続されるホット側外部電極を備える、ベース板と、前記アース側パターンと前記アース側ランドとを連結するように設けられる、半田封止枠と、前記ホット側パターンと前記ホット側ランドとを連結するように設けられる、半田パンブと、を備える、弾性表面波装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、弾性表面波装置に関するもので、特に、表面実装可能とされた弾性表面波装置のパッケージング構造に関するものである。

## 【0002】

【従来の技術】図7には、気密的にパッケージングされかつ表面実装可能とされた従来の弾性表面波装置1が断面図で示されている。

【0003】弾性表面波装置1のパッケージング部材は、多層基板2および金属板3から構成される。多層基板2は、たとえばアルミナから構成され、その端部の外表面上には、アース側外部電極4およびホット側外部電極5が形成される。また、多層基板2の内部には、アース側外部電極4に電気的に接続されるように、アース側導電層6および7が形成され、また、ホット側外部電極5に電気的に接続されるように、ホット側導電層8が形成される。金属板3は、多層基板2の上面に対して、コパルリング9を介して全周にわたって溶接される。このようにして、高い気密性が与えられた空間が、多層基板2と金属板3との間に形成される。

【0004】多層基板2は、凹部10が形成され、この凹部10内に弾性表面波素子チップ11が配置される。弾性表面波素子チップ11は、アース側導電層7上にダイボンドされることによって固定されるとともに、ボンディングワイヤ12および13によって、それぞれ、アース側導電層6およびホット側導電層8に電気的に接続される。

【0005】このようにして、弾性表面波の伝搬に必要な空間の形成と高い気密性とが、多層基板2と金属板3

とからなるパッケージング部材により与えられ、かつ、必要な電氣的接続がボンディングワイヤ12および13によって与えられる。

## 【0006】

【発明が解決しようとする課題】しかしながら、図7に示した弾性表面波装置1は、パッケージングするために、多層基板2、金属板3およびコパルリング9の3つの部品が必要であり、また、多層基板2自身のコストが比較的高く、さらに、金属板3を多層基板2に接合するため溶接が必要であることから、パッケージングのためのコストが高つく。また、弾性表面波装置1を組立てるに当たっては、弾性表面波素子チップ11のダイボンド、ボンディングワイヤ12および13によるワイヤボンディング、および金属板3の溶接という少なくとも3つの工程が必要である。したがって、組立て工程が比較的煩雑であるという問題もある。

【0007】それゆえに、この発明の目的は、このような問題を解決し得る弾性表面波装置を提供しようとすることである。

## 【0008】

【課題を解決するための手段】この発明による弾性表面波装置は、まず弾性表面波素子チップを備える。この弾性表面波素子チップは、基板、前記基板上に形成されるインタディジタルトランスデューサ、前記インタディジタルトランスデューサのアース側ラインに接続されかつ前記インタディジタルトランスデューサを取囲むように前記基板上に形成されるアース側パターン、および前記インタディジタルトランスデューサのホット側ラインに接続されるホット側パターンを備える。

【0009】このような弾性表面波素子チップの前記インタディジタルトランスデューサが形成された前記基板の面に対向して、ベース板が配置される。このベース板は、前記アース側パターンに対応する位置に形成されるアース側ランド、前記ホット側パターンに対応する位置に形成されるホット側ランド、前記アース側ランドに電気的に接続されるアース側外部電極、および前記ホット側ランドに電気的に接続されるホット側外部電極を備える。

【0010】また、前記アース側パターンと前記アース側ランドとは、半田封止枠によって連結される。

【0011】さらに、前記ホット側パターンと前記ホット側ランドとは、半田パンブによって連結される。

## 【0012】

【作用】この発明において、半田封止枠は、弾性表面波素子チップとベース板とを機械的に接合するとともに、アース側パターンとアース側ランドとを電気的に接続する機能を果たす。また、半田パンブは、ホット側パターンとホット側ランドとを電気的に接続する機能を果たす。さらに、弾性表面波素子チップは、それ自身、ベース板および半田封止枠とともに、気密封止されたパッケ

ージング構造を与え、また、半田封止枠および半田パン  
プの厚みは、弾性表面波の伝搬に必要な空間を形成す  
る。

【0013】

【発明の効果】したがって、この発明によれば、弾性表  
面波素子チップ自身を、パッケージング部材の一部とし  
て用いるため、部品点数の削減を図ることができる。

【0014】また、半田封止枠は、弾性表面波素子チッ  
プとベース板とを機械的に接合し、それらの間の空間を  
気密封止するとともに、電気的接続をも達成し、さらに、  
半田パンプによる電気的接続は、半田封止枠の形成と同  
時に行なうことができるので、組立てに要する工程数を  
減少させることができる。

【0015】また、半田封止枠の厚みによって空間が形  
成されるため、ベース板としては、平板状の簡単な形状  
のものをを用いることができるので、ベース板自身も、安  
価に提供することができる。

【0016】

【実施例】この発明の一実施例による弾性表面波装置2  
1が、図1、図2および図3に示されている。

【0017】弾性表面波装置21は、まず、弾性表面波  
素子チップ22を備える。弾性表面波素子チップ22  
は、弾性表面波を伝搬するための基板23を備える。基  
板23は、たとえば、圧電体で構成される。基板23上  
には、図1に示されているように、インタディジタルト  
ランスデューサ24および25、これらインタディジタル  
トランスデューサ24および25のアース側ライン2  
6および27にそれぞれ接続されかつインタディジタル  
トランスデューサ24および25を取囲むアース側パタ  
ーン28、ならびにインタディジタルトランスデューサ  
24および25のホット側ライン29および30に接続  
されるホット側パターン31および32が形成される。  
これらインタディジタルトランスデューサ24および2  
5、ライン26、27、29、30ならびにパターン2  
8、31、32は、基板23上に蒸着等によりメタライ  
ジング膜を形成した後、フォトリソグラフィ技術を用い  
てパターンニングすることにより形成される。

【0018】この弾性表面波装置21は、上述の弾性表  
面波素子チップ22のインタディジタルトランスデュー  
サ24および25が形成された基板23の面に対向して  
配置されるベース板33を備える。ベース板33は、単  
独で図4および図5に示されている。なお、図4は、ベ  
ース板33の上面を示し、図5は、ベース板33の下面を  
示す。

【0019】ベース板33は、たとえばアルミナから構  
成される。ベース板33上には、前述したアース側パタ  
ーン28に対応する位置にアース側ランド34が形成さ  
れる。また、ホット側パターン31および32に対応す  
る位置に、それぞれ、ホット側ランド35および36が  
形成される。また、ベース板33には、その上面から下

面にまで延びるように、アース側外部電極37および3  
8、ならびにホット側外部電極39および40が形成さ  
れる。アース側外部電極37および38は、ともに、ア  
ース側ランド34に電気的に接続される。他方、アース  
側外部電極39および40は、それぞれ、スルーホール  
41および42を通してホット側ランド35および36  
に電気的に接続される。これらランド34、35、3  
6、ならびに外部電極37、38、39、40は、たと  
えばスクリーン印刷によって形成される。

【0020】図1と図4とを対照すればわかるように、  
アース側ランド34上には、半田封止枠43が付与さ  
れ、ホット側ランド35および36上には、半田パン  
プ44および45がそれぞれ付与される。これら半田封止  
枠43ならびに半田パンプ44および45は、製造途中  
の段階では、クリーム半田の形態でたとえばスクリーン  
印刷によって形成される。その後、図2または図3に示  
すように、ベース板33が弾性表面波素子チップ22と  
合わせた状態で加熱することにより、上述のクリーム半  
田が溶融し、次いで固化したとき、図3に示すように、  
所定の厚みを有する半田封止枠43ならびに半田パン  
プ44および45が形成される。半田封止枠43は、ア  
ース側パターン28とアース側ランド34とを連結してお  
り、半田パンプ44は、ホット側パターン31とホット  
側ランド35とを連結しており、半田パンプ45は、ホ  
ット側パターン32とホット側ランド36とを連結して  
いる。したがって、弾性表面波素子チップ22に形成さ  
れたアース側パターン28ならびにホット側パターン3  
1および32は、半田封止枠43ならびに半田パンプ4  
4および45を介して、それぞれ、アース側外部電極3  
7および38ならびにホット側外部電極39および40  
に引出される。

【0021】なお、半田封止枠43ならびに半田パン  
プ44および45に用いられる半田としては、高融点の  
ものが好ましい。なぜなら、得られた弾性表面波装置21  
を回路基板（図示せず）に実装するとき用いる半田付  
けの温度によって再溶融することを防止するためであ  
る。

【0022】このように、この実施例によれば、弾性表  
面波の伝搬に必要な空間の形成、高い気密性、および電  
気的接続が、弾性表面波素子チップ22とベース板33  
とを連結する半田封止枠43ならびに半田パンプ44お  
よび45によって与えられることができる。

【0023】図6は、この発明の他の実施例による弾性  
表面波装置21aを示している。なお、図6は、前述し  
た図3に相当する断面図であるが、図3に示す要素に相  
当する要素には、同様の参照符号を付し、重複する説明  
は省略する。

【0024】図6において、ベース板33には、スルー  
ホールが形成されていない。そのため、たとえば、半田  
パンプ44に接続されるホット側ランド35は、ベース

5

6

板33の上面を通してホット側外部電極39にまで引出される。他方、半田封止枠43に接続されるアース側ランド34は、絶縁膜46を介在させて、ホット側ランド35と交差するように形成される。

【図面の簡単な説明】

【図1】この発明の一実施例による弾性表面波装置21を分解した状態で示す斜視図である。

【図2】図1に示した弾性表面波装置21の完成状態の外観を示す斜視図である。

【図3】図2の線I-I-I-Iに沿う断面図である。 10

【図4】ベース板33を単独で示す上面図である。

【図5】ベース板33を単独で示す下面図である。

【図6】この発明の他の実施例による弾性表面波装置21aを示す、図3に相当の断面図である。

【図7】従来の弾性表面波装置1を示す断面図である。

【符号の説明】

21, 21a 弾性表面波装置

22 弾性表面波素子チップ

23 基板

24, 25 インタデジタルトランスデューサ

26, 27 アース側ライン

28 アース側パターン

29, 30 ホット側ライン

31, 32 ホット側パターン

33 ベース板

34 アース側ランド

35, 36 ホット側ランド

37, 38 アース側外部電極

39, 40 ホット側外部電極

41, 42 スルーホール

43 半田封止枠

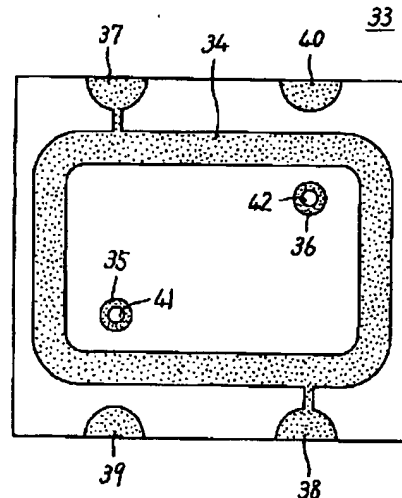
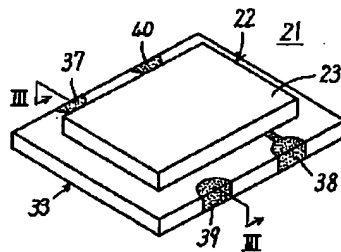
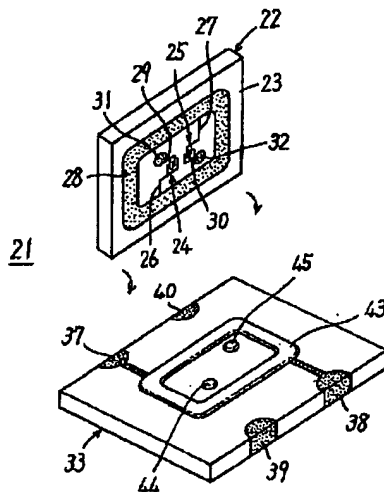
44, 45 半田バンプ

46 絶縁膜

【図1】

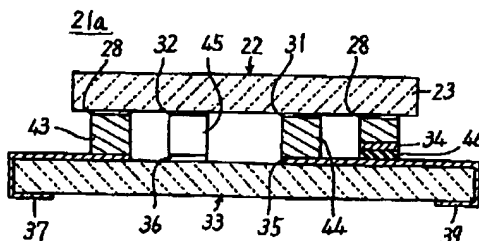
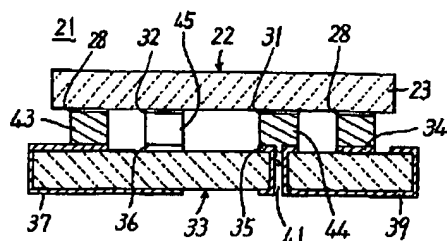
【図2】

【図4】

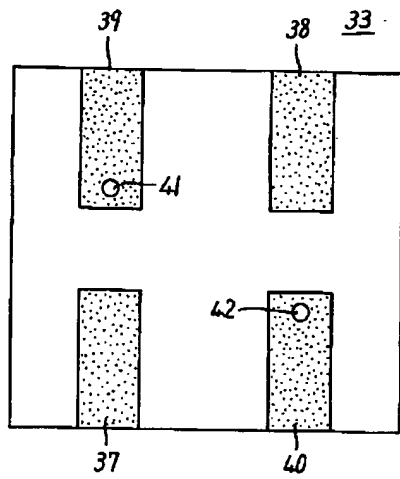


【図3】

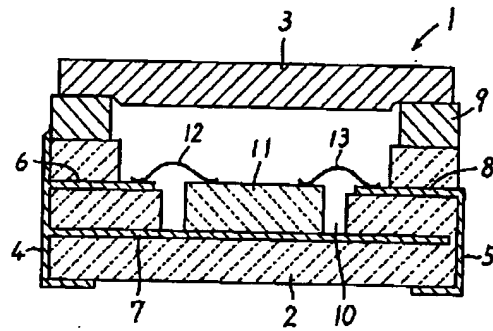
【図6】



【図5】



【図7】



フロントページの続き

(72)発明者 森岡 嘉一  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 森 徹  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-293310

(43)Date of publication of application : 16.10.1992

(51)Int.Cl.

H03H 9/25

(21)Application number : 03-057490

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 22.03.1991

(72)Inventor : IKEDA TOSHIAKI

SATO TOMOHARU

KOTANI YOSHIAKI

MORIOKA YOSHIKAZU

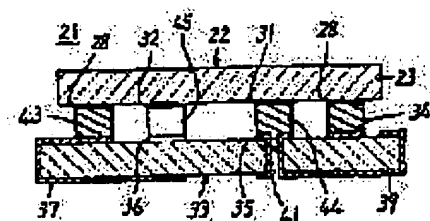
MORI TORU

## (54) SURFACE ACOUSTIC WAVE DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the number of components and to decrease the man-hours required for the assembling by using a surface acoustic wave element chip itself as a part of a packaging member.

**CONSTITUTION:** A solder sealing frame 43 is used to mechanically couple a surface acoustic wave element chip 22 with a base plate 33 and connects electrically an earth side pattern 28 and an earth side land 34. A solder bump 44 connects electrically a hot side pattern 31 and a hot side land 35 a solder bump 45 connects electrically a hot side pattern 32 and a hot side land 36 respectively. Then the surface acoustic wave element 22 itself gives an air-tight sealed packaging structure together with a base plate 33 and a solder sealing frame 43 and the thickness of the solder sealing frame 43 and the solder bumps 44, 45 are used to form a space required for propagating the surface acoustic wave.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office